

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-299613

(43)Date of publication of application : 11.10.2002

(51)Int.Cl.

H01L 29/78  
H01L 21/316  
H01L 21/336

(21)Application number : 2001-100400

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 30.03.2001

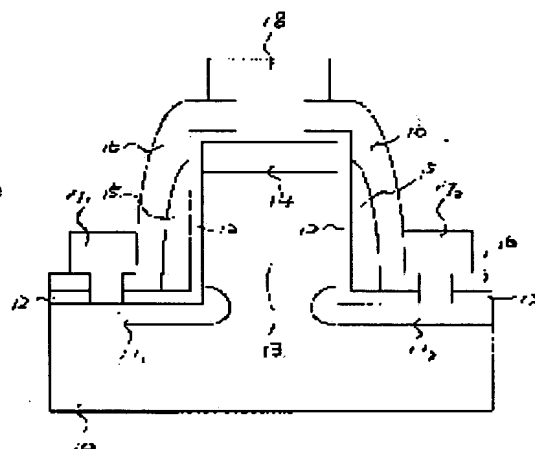
(72)Inventor : SATAKE HIDEKI  
MITANI YUICHIRO

## (54) VERTICAL FIELD EFFECT TRANSISTOR AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device provided with a gate insulating film the electrical characteristic of which is excellent and to provide a method for manufacturing the semiconductor device.

SOLUTION: The semiconductor device is characteristically provided with a semiconductor substrate 10, a protrusion 13 formed on the substrate 10, the gate insulating film 12 formed on the side surface of the protrusion 13 and containing halogen, and a gate electrode 15 formed on the gate insulating film 12.



## LEGAL STATUS

[Date of request for examination]

27.02.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号  
特開2002-299613  
(P2002-299613A)

(43) 公開日 平成14年10月11日 (2002. 10. 11)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコ-ト (参考)	
H 0 1 L 29/78	6 5 2	H 0 1 L 29/78	6 5 2 K	5 F 0 5 8
	6 5 3		6 5 3 B	5 F 1 4 0
21/316		21/316	P	
21/336		29/78	3 0 1 X	
			6 5 8 F	
審査請求 未請求 請求項の数 6 O L (全 8 頁)				

(21) 出願番号 特願2001-100400 (P2001-100400)

(22) 出願日 平成13年3月30日 (2001. 3. 30)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 佐竹 秀喜

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72) 発明者 三谷 祐一郎

神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内

(74) 代理人 100081732

弁理士 大胡 典夫 (外2名)

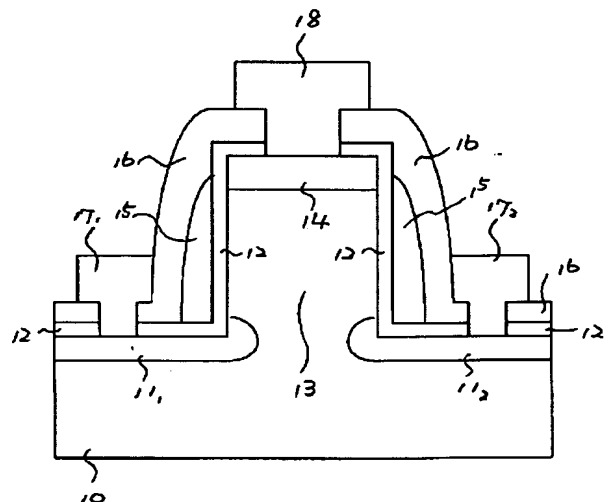
最終頁に続く

(54) 【発明の名称】 縦型電界効果トランジスタ及び半導体装置の製造方法

(57) 【要約】

【課題】 電気的特性が優れたゲート絶縁膜を具備する半導体装置及びその製造方法を提供することを目的とする。

【解決手段】 半導体基板10と、半導体基板10上に形成された突出部13と、突出部13の側面に形成され、ハロゲン元素を含有するゲート絶縁膜12と、ゲート絶縁膜12上に形成されたゲート電極15とを具備することを特徴とする半導体装置。



**【特許請求の範囲】****【請求項1】** 半導体基板と、

前記半導体基板表面に形成された突出部と、  
前記突出部の下端部に形成されたソース領域と、  
前記突出部の上端部に形成されたドレイン領域と、  
ハロゲン元素を添加することにより、前記突出部の下端部から上端部にかけて膜厚が均一化された前記突出部側面のゲート絶縁膜と、  
前記ゲート絶縁膜表面に形成されたゲート電極とを具備する縦型電界効果トランジスタ。

**【請求項2】** 半導体基板上に突出部を形成する工程と、  
前記突出部の側面にゲート絶縁膜を形成する工程と、  
前記ゲート絶縁膜中にハロゲン元素を導入する工程と、  
前記ゲート絶縁膜表面上にゲート電極を形成する工程とを具備することを特徴とする半導体装置の製造方法。

**【請求項3】** 半導体基板上に突出部を形成する工程と、  
前記突出部の側面にゲート絶縁膜を形成する工程と、  
前記ゲート絶縁膜表面上にゲート電極を形成する工程と、  
前記ゲート電極中にハロゲン元素を導入する工程と、  
前記ゲート電極中に導入されたハロゲン元素を、前記ゲート絶縁膜中に拡散させる工程とを具備することを特徴とする半導体装置の製造方法。

**【請求項4】** 半導体基板上に突出部を形成する工程と、  
前記突出部の側面にゲート絶縁膜を形成する工程と、  
前記ゲート絶縁膜表面上にゲート電極を形成する工程と、  
前記ゲート電極上にハロゲン元素を含有する絶縁膜を形成する工程と、  
前記絶縁膜中に含有されたハロゲン元素を、前記ゲート電極を介して前記ゲート絶縁膜中に拡散させる工程とを具備することを特徴とする半導体装置の製造方法。

**【請求項5】** 半導体基板上に突出部を形成する工程と、  
前記突出部の側面にゲート絶縁膜を形成する工程と、  
前記ゲート絶縁膜表面上にゲート電極を形成する工程と、  
前記ゲート電極上に絶縁膜を形成する工程と、  
前記絶縁膜中にハロゲン元素をイオン注入する工程と、  
前記絶縁膜中にイオン注入されたハロゲン元素を、前記ゲート電極を介して前記ゲート絶縁膜中に拡散させる工程とを具備することを特徴とする半導体装置の製造方法。

**【請求項6】** 半導体基板上に突出部を形成する工程と、  
前記突出部の側面にゲート絶縁膜を形成する工程と、  
前記ゲート絶縁膜表面上にゲート電極を形成する工程と、  
前記ゲート電極上に絶縁膜を形成する工程と、  
前記絶縁膜の一部をマスクで覆う工程と、  
前記絶縁膜中にハロゲン元素をイオン注入する工程と、  
前記絶縁膜中にイオン注入されたハロゲン元素を、前記ゲート電極を介して前記ゲート絶縁膜中に拡散させる工

程を具備することを特徴とする半導体装置の製造方法。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は、縦型電界効果トランジスタ及び半導体装置の製造方法に関する。

**【0002】**

**【従来の技術】** 集積回路（LSI）に用いられるトランジスタ素子の微細化はスケーリング則にしたがって進められてきた。これはゲート絶縁膜の厚さ及びゲート長等のMOSデバイスの各部分を、割合を維持しながら縮小することで素子の特性を正常に保ち、また性能を上げるためである。しかしながら、このようなスケーリング則にしたがった微細化では、素子長が0.1  $\mu\text{m}$ 以下になると、ゲート絶縁膜が薄くなりすぎるため、信頼性が低くなるという問題がある。また、ゲート長が短くなるとトランジスタ素子のチャンネル内の不純物制御が難しくなり、トランジスタ素子の特性を均一にして集積化することが極めて困難になるという問題がある。

**【0003】** このような問題を解決するために、シリコン基板表面に形成した突出部の側面をチャンネルとして用いるMOSトランジスタが提案されている（例えば、S. H. Oh et al., "50 nm Vertical Replacement-Gate (VRG) pMOSFETs," IEDM Tech. Dig. (2000), pp. 65-68）。

**【0004】** このMOSトランジスタは、突出部の左右両側の側面或いは突出部の周囲全面の側面をチャンネルとして用いることによってトランジスタの駆動力を高めることができるために、微細化した場合においても良好な素子性能が得られる構造として期待されている。

**【0005】** しかしながら、突出部の側面をチャンネルとして用いるMOSトランジスタには、ゲート絶縁膜の信頼性確保という解決すべき大きな問題点がある。これは突出部を加工する際に、突出部側面に欠陥が大量に発生するために起因する信頼性低下の問題である。例えば突出部の側面上にゲート絶縁膜を形成することによる欠陥によりゲート絶縁膜中にも欠陥が生じてしまい絶縁特性が劣化してしまうという問題がある。また、一般的に、微細加工や形状の制御に優れている反応性イオンエッチング（RIE）法を用いて突出部を形成する。しかしながら反応性イオンエッチング（RIE）法は、イオンを加速してシリコン基板に衝突させ、基板を削っていくという手法であるので、特に突出部側面に欠陥層を形成しやすい。また、RIE法で形成した突出部の側面には、マスク材のパターニングむらが主要因となって縦方向に筋状の凹凸が形成される。これもゲート絶縁膜の電気的な信頼性を劣化させる。

**【0006】** さらに、突出部の上端の角部と下端の角部では、シリコン酸化膜を成長させた場合に膜厚が側壁部分とは異なってしまう、薄くなった部分で絶縁破壊耐性を劣化させるという深刻な問題がある。

## 【0007】

【発明が解決しようとする課題】上記したように、RIE法を用いて半導体表面に突出部を形成すると、その側面に多くの欠陥や、凹凸、歪を形成してしまい、この上にゲート絶縁膜を形成すると電気的特性が著しく劣化するという問題がある。

【0008】本発明は、この問題点に注目してなされたものであり、電気的特性が優れたゲート絶縁膜を具備する半導体装置及びその製造方法を提供することを目的とする。

【0009】また、本発明は、シリコン基板表面の欠陥層を効率的に修復するとともに、突出部の側面の凹凸を解消し、突出部の上下端の角部におけるゲート絶縁膜の薄膜化を回避しうる半導体装置の製造方法を提供することを目的とする。

## 【0010】

【課題を解決するための手段】上記目的を達成するために、本発明は、半導体基板と、前記半導体基板表面に形成された突出部と、前記突出部の下端部に形成されたソース領域と、前記突出部の上端部に形成されたドレイン領域と、ハロゲン元素を添加することにより、前記突出部の下端部から上端部にかけて膜厚が均一化された前記突出部側面のゲート絶縁膜と、前記ゲート絶縁膜表面に形成されたゲート電極とを具備する縦型電界効果トランジスタを提供する。

【0011】このとき、前記半導体基板が、半導体基板と、この半導体基板上に形成された絶縁層と、この絶縁層上に形成された半導体層とを具備しても良い。

【0012】また、前記ハロゲン元素がフッ素であることが好ましい。

【0013】また、本発明は、半導体基板上に突出部を形成する工程と、前記突出部の側面にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜中にハロゲン元素を導入する工程と、前記ゲート絶縁膜表面上にゲート電極を形成する工程とを具備することを特徴とする半導体装置の製造方法を提供する。

【0014】また、本発明は、半導体基板上に突出部を形成する工程と、前記突出部の側面にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜表面上にゲート電極を形成する工程と、前記ゲート電極中にハロゲン元素を導入する工程と、前記ゲート電極中に導入されたハロゲン元素を、前記ゲート絶縁膜中に拡散させる工程とを具備することを特徴とする半導体装置の製造方法を提供する。

【0015】また、本発明は、半導体基板上に突出部を形成する工程と、前記突出部の側面にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜表面上にゲート電極を形成する工程と、前記ゲート電極上にハロゲン元素を含有する絶縁膜を形成する工程と、前記絶縁膜中に含有されたハロゲン元素を、前記ゲート電極を介して前記ゲ-

ート絶縁膜中に拡散させる工程とを具備することを特徴とする半導体装置の製造方法を提供する。

【0016】また、本発明は、半導体基板上に突出部を形成する工程と、前記突出部の側面にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜表面上にゲート電極を形成する工程と、前記ゲート電極上に絶縁膜を形成する工程と、前記絶縁膜中にハロゲン元素をイオン注入する工程と、前記絶縁膜中にイオン注入されたハロゲン元素を、前記ゲート電極を介して前記ゲート絶縁膜中に拡散させる工程を具備することを特徴とする半導体装置の製造方法を提供する。

【0017】また、本発明は、半導体基板上に突出部を形成する工程と、前記突出部の側面にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜表面上にゲート電極を形成する工程と、前記ゲート電極上に絶縁膜を形成する工程と、前記絶縁膜の一部をマスクで覆う工程と、前記絶縁膜中にハロゲン元素をイオン注入する工程と、前記絶縁膜中にイオン注入されたハロゲン元素を、前記ゲート電極を介して前記ゲート絶縁膜中に拡散させる工程を具備することを特徴とする半導体装置の製造方法を提供する。

【0018】また、前記ハロゲン元素は、フッ素であることが好ましい。

【0019】本発明によれば、ゲート絶縁膜中にハロゲン元素を含有することで、半導体表面に形成される突出部の側面に生じる欠陥層の修復、突出部の側面に形成される凹凸を解消し、さらには、突出部の上下端の角部におけるゲート絶縁膜の薄膜化の抑制を、簡便に実現することができる。

【0020】ハロゲン元素としては、フッ素、塩素、臭素、ヨウ素及びアスタチン等が挙げられるが、特に好ましくはフッ素である。我々は、ゲート絶縁膜中に導入されたフッ素が、半導体基板表面に形成された突出部の側面に形成された微細な凹凸を修復する効果があることや平坦化を促進させていること、さらには、高濃度にフッ素を導入することによって、ゲート酸化膜厚を厚膜化できることを実験的に確認した。

【0021】この方法を用いることで、半導体基板表面に形成された突出部の側面をチャネルとして用いる電界効果トランジスタを電気的な信頼性を高くすることが可能となる。

## 【0022】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態（以下、実施形態という）を説明する。

【0023】図1は、本発明の実施形態1にかかるnチャネル電界効果トランジスタの断面図である。

【0024】この電界効果トランジスタは、p型シリコン基板10と、このシリコン基板10の表面に形成されたソース領域11<sub>1</sub>及び11<sub>2</sub>とを具備している。ソース領域11<sub>1</sub>及び11<sub>2</sub>の間にはシリコンからなる突出

部13が形成されている。突出部13の側面上には、ゲート絶縁膜12が形成されている。ゲート絶縁膜12中にはフッ素等のハロゲン元素が導入されている。ゲート絶縁膜12上には、ポリシリコンからなるゲート電極15が形成されている。突出部13の上部には、ドレイン領域14が形成されている。これらによって電界効果トランジスタとして機能する。

【0025】この突出部13の全面に層間絶縁膜16が堆積され、コンタクト孔が開孔されている。ソース領域11<sub>1</sub>及び11<sub>2</sub>上にはコンタクトホールを介してアルミニウムからなるソース電極17<sub>1</sub>及び17<sub>2</sub>が形成されている。ドレイン領域14上にはコンタクトホールを介してアルミニウムからなるドレイン電極18が形成されている。

【0026】次に、図2乃至図5を参照して、図1に示した電界効果トランジスタの製造方法の一例を示す。

【0027】先ず、図2に示すように、面方位(100)、比抵抗 $4\Omega\text{cm}\sim 6\Omega\text{cm}$ のp型シリコン基板10上に、RIE法によって、シリコンからなる突出部13を加工する。次に、例えば加速電圧 $1\text{keV}\sim 50\text{keV}$ 、ドーズ量 $1\times 10^{14}\text{cm}^{-2}\sim 1\times 10^{16}\text{cm}^{-2}$ の条件で砒素をイオン注入する。こうして突出部13の周辺に位置するシリコン基板10表面にソース領域11<sub>1</sub>及び11<sub>2</sub>を形成する。このイオン注入で同時に、突出部13上にドレイン領域14を形成する。

【0028】次に、図3に示すように、例えば、一酸化窒素(NO)ガス雰囲気中、 $900^{\circ}\text{C}\sim 1050^{\circ}\text{C}$ の温度で1秒 $\sim 500$ 秒間、熱処理することで膜厚 $1.5\text{nm}\sim 10\text{nm}$ の酸化シリコンからなるゲート絶縁膜12を形成する。この熱処理では、ゲート絶縁膜12は突出部13の側面及び上面、シリコン基板10上に形成される。次に、シリコン基板10全面に、例えば温度 $450^{\circ}\text{C}\sim 700^{\circ}\text{C}$ において砒素を含んだポリシリコン膜15を堆積する。この工程では、ゲート絶縁膜13上にゲート電極15が形成されることになる。

【0029】次に、図4に示すように、ゲート電極15全面に、例えば加速電圧 $1\text{keV}\sim 50\text{keV}$ 、ドーズ量 $1\times 10^{14}\text{cm}^{-2}\sim 1\times 10^{16}\text{cm}^{-2}$ の条件でフッ素をイオン注入する。この工程でゲート絶縁膜13上にフッ素を含有するゲート電極15が形成される。次に、 $800^{\circ}\text{C}\sim 1050^{\circ}\text{C}$ の温度において、1秒 $\sim 2$ 時間、不活性ガス或いは窒素ガス雰囲気中に晒す熱処理によって、ゲート電極15中に含有されたフッ素をゲート絶縁膜12中に拡散させる。この工程によりゲート絶縁膜12中の欠陥はフッ素によってターミネートされることで減少する。同時にこの熱処理によって突出部13の側面とゲート絶縁膜12との界面近傍に形成されている欠陥も修復されるのでチャネル領域の電気的特性が向上する。

【0030】次に、図5に示すように、ゲート電極15

をRIE法によってパターニングし、突出部の側面上にのみ残す。次に、シリコン基板10全面に $\text{SiO}_2$ 等からなる層間絶縁膜17を堆積する。次に、ソース領域11<sub>1</sub>及び11<sub>2</sub>、ドレイン領域14上にコンタクト孔を開孔して、アルミニウムからなるソース電極17<sub>1</sub>及び17<sub>2</sub>及びドレイン電極18をそれぞれ形成する。こうして図1に示す電界効果トランジスタを形成することができる。

【0031】このようにして形成した電界効果トランジスタでは、ハロゲン元素としてフッ素をゲート絶縁膜中に導入しているので、突出部13の側面に存在する欠陥生成を抑制し、ゲート絶縁膜12自体の欠陥生成も抑制している。さらに突出部13の上下に存在する角部の歪によりこの部分に多くのフッ素が拡散し、この部分での酸化速度を速くできるのでゲート絶縁膜の厚さを均一にすることができる。

【0032】このような効果により電界効果トランジスタの電気的特性を向上することが可能となる。また、この方法でLSIを製造したところウエハー内の欠陥トランジスタの数は、10%から5%へと大幅に低減されたことが分かった。

【0033】次に、図6乃至図8を参照して、図1に示した電界効果トランジスタの別の製造方法を示す。

【0034】先ず、図6に示すように、面方位(100)、比抵抗 $4\Omega\text{cm}\sim 6\Omega\text{cm}$ のp型シリコン基板10上に、RIE法によって、シリコンからなる突出部13を形成する。次に、例えば加速電圧 $1\text{keV}\sim 50\text{keV}$ 、ドーズ量 $1\times 10^{14}\text{cm}^{-2}\sim 1\times 10^{16}\text{cm}^{-2}$ の条件で砒素をイオン注入する。こうして突出部13の周辺にソース領域11<sub>1</sub>及び11<sub>2</sub>を形成する。このイオン注入工程で、同時に突出部13の上部にドレイン領域14を形成する。

【0035】次に、例えば、一酸化窒素(NO)ガス雰囲気中、 $900^{\circ}\text{C}\sim 1050^{\circ}\text{C}$ の温度で1秒 $\sim 500$ 秒間、熱処理することで膜厚 $1.5\text{nm}\sim 10\text{nm}$ の酸化シリコンからなるゲート絶縁膜12を形成する。この熱処理工程では、ゲート絶縁膜12は、突出部13の側面及び上面、シリコン基板10上に形成される。次に、シリコン基板10全面に、例えば温度 $450^{\circ}\text{C}\sim 700^{\circ}\text{C}$ において砒素を含んだポリシリコン膜を形成し、RIEによってパターニングすることにより、突出部13の側面上にのみゲート電極15を形成する。

【0036】次に、図7に示すように、例えば、温度 $400^{\circ}\text{C}\sim 800^{\circ}\text{C}$ 、圧力 $0.133\text{Pa}\sim 1.013\times 10^3\text{Pa}$ において化学気相成長(CVD)法により、酸化シリコンからなる絶縁膜19<sub>1</sub>を堆積する。次に、シリコン基板10全面にレジスト膜を塗布してパターニングしマスク20<sub>1</sub>を突出部13の上部に形成する。次に、例えば加速電圧 $1\text{keV}\sim 50\text{keV}$ 、ドーズ量 $1\times 10^{14}\text{cm}^{-2}\sim 1\times 10^{16}\text{cm}^{-2}$ の条件で絶

縁膜 19<sub>1</sub>中にフッ素をイオン注入する。このマスク 20<sub>1</sub>によって突出部 13の上部は保護される。

【0037】次に、図8に示すように、マスク 20<sub>1</sub>を剥離した後、例えば、温度 400～800℃、圧力 0.133Pa～1.013×10<sup>3</sup>Paにおいて化学気相成長(CVD)法によって酸化シリコンからなる絶縁膜 19<sub>2</sub>を堆積する。次に、全面にレジスト膜を塗布しパターンニングすることによってマスク 20<sub>2</sub>を突出部 13の上部に形成する。このときマスク 20<sub>2</sub>はマスク 20<sub>1</sub>よりも径が小さくなるようにする。

【0038】次に、例えば加速電圧 1keV～50keV、ドーズ量 1×10<sup>14</sup>cm<sup>-2</sup>～1×10<sup>16</sup>cm<sup>-2</sup>のイオン注入条件を用いてフッ素を酸化シリコンからなる絶縁物 19<sub>2</sub>中にイオン注入する。

【0039】次に、800℃～1050℃の温度において、1秒～2時間、不活性ガス或いは窒素ガス雰囲気中に晒して、絶縁膜 19<sub>1</sub>及び絶縁膜 19<sub>2</sub>からフッ素をゲート絶縁膜 12中に導入する。

【0040】このように所望の複数のマスクパターン 20<sub>1</sub>、20<sub>2</sub>及び複数の絶縁膜 19<sub>1</sub>、19<sub>2</sub>を用いてフッ素を注入し、熱処理によってフッ素をゲート絶縁膜 12中に拡散することで、特性に応じたフッ素プロファイルを実現できる。

【0041】図10は、この方法によりフッ素を導入したときの、シリコン基板に垂直方向における突出部 13の上端からの距離を横軸、フッ素濃度を縦軸にとった突出部のフッ素濃度を示す図である。実線はゲート絶縁膜中のフッ素分布であり、点線は突出部の側面におけるフッ素分布である。

【0042】図10に示すように、突出部の膜厚方向から見てほぼ中央部のフッ素濃度が低く上下端部のフッ素濃度が高くなっている。このようにフッ素分布をさせることによって、応力が集中する端部の欠陥を効果的に抑制することができる。また応力が起因する酸化膜の成長速度が遅いのを、フッ素を集中させることで他の部分と同じ程度の酸化膜成長速度とすることができる。

【0043】こうすることでゲート絶縁膜 12の電気的特性を均一にし良好なものとすることができる。

【0044】次に図9に示すように、ソース領域 11<sub>1</sub>及び 11<sub>2</sub>、ドレイン領域 14上にコンタクト孔を開口して、アルミニウムからなるソース電極 17<sub>1</sub>及び 17<sub>2</sub>、ドレイン電極 18を形成する。こうして図1に示す電界効果トランジスタを形成することができる。

【0045】このようにして形成した電界効果トランジスタでは、ハロゲン元素としてフッ素をゲート絶縁膜中に導入しているので、突出部 13の側面に存在する欠陥生成を抑制し、ゲート絶縁膜 12自体の欠陥生成も抑制している。さらに突出部 13の上下に存在する角部の歪により多くのフッ素が拡散し、この部分での酸化速度を速くできるのでゲート絶縁膜の厚さを均一にすることが

できる。

【0046】このような効果により電界効果トランジスタの電気的特性を向上することが可能となる。

【0047】上記実施形態では、フッ素をゲート電極となるポリシリコン膜や層間絶縁膜からの拡散によってゲート絶縁膜中に導入したが、ゲート絶縁膜形成時にフッ素を同時に導入しながら、ゲート絶縁膜を成長させてもよい。

【0048】また、突出部に、予めフッ素をイオン注入しておいた後で熱処理を施してゲート絶縁膜中に導入してもよい。

【0049】上記実施形態では、フッ素を例に挙げて説明したが、ハロゲン元素であれば、いずれも同様な効果が期待できる。

【0050】このように、本発明の趣旨を逸脱しない範囲において、種々変形して実施することができる。

【0051】

【発明の効果】突出部の側面にある欠陥を修復し、突出部の側面にある凹凸を解消し、突出部の側面にある上下端の角部におけるゲート絶縁膜の薄膜化を抑制できる。

【図面の簡単な説明】

【図1】 本発明の電界効果トランジスタの断面図。

【図2】 本発明の実施形態の一例にかかる電界効果トランジスタの製造方法を説明する各工程における断面図。

【図3】 本発明の実施形態の一例にかかる電界効果トランジスタの製造方法を説明する各工程における断面図。

【図4】 本発明の実施形態の一例にかかる電界効果トランジスタの製造方法を説明する各工程における断面図。

【図5】 本発明の実施形態の一例にかかる電界効果トランジスタの製造方法を説明する各工程における断面図。

【図6】 本発明の実施形態における別の例にかかる電界効果トランジスタの製造方法を説明する各工程における断面図。

【図7】 本発明の実施形態における別の例にかかる電界効果トランジスタの製造方法を説明する各工程における断面図。

【図8】 本発明の実施形態における別の例にかかる電界効果トランジスタの製造方法を説明する各工程における断面図。

【図9】 本発明の実施形態における別の例にかかる電界効果トランジスタの製造方法を説明する各工程における断面図。

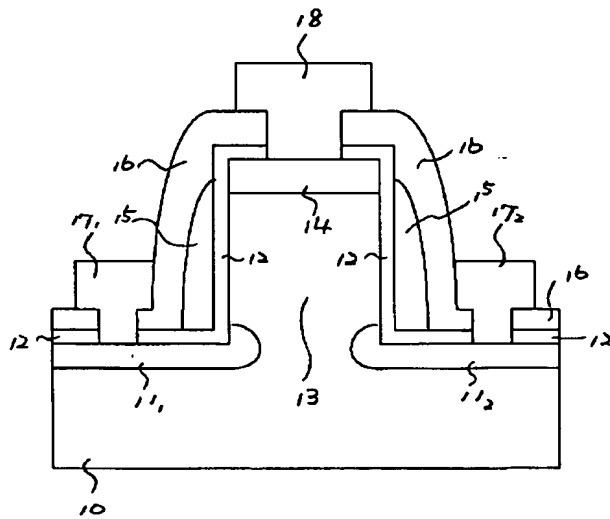
【図10】 本発明の実施形態における別の例にかかる電界効果トランジスタの突出部のフッ素濃度分布及びゲート絶縁膜中のフッ素分布を示す図。

【符号の説明】

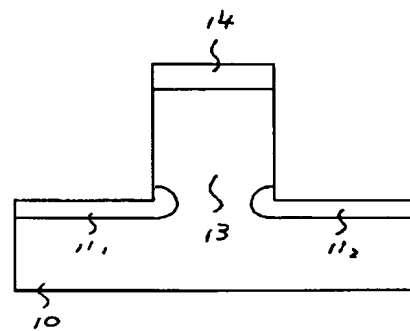
10…p型シリコン基板  
 11<sub>1</sub>、11<sub>2</sub>…ソース領域  
 12…ゲート絶縁膜  
 13…突出部  
 14…ドレイン領域  
 15…ポリシリコン膜  
 16…層間絶縁膜

17<sub>1</sub>、17<sub>2</sub>…ソース電極  
 18…ドレイン電極  
 19<sub>1</sub>…絶縁膜  
 19<sub>2</sub>…絶縁膜  
 20<sub>1</sub>…絶縁膜  
 20<sub>2</sub>…絶縁膜

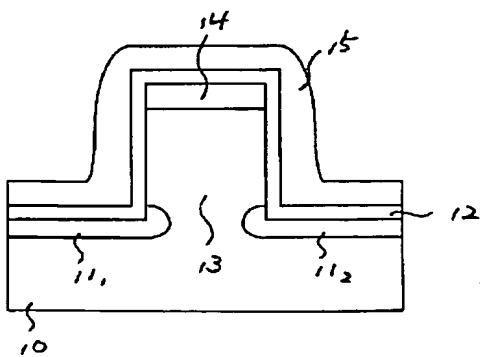
【図1】



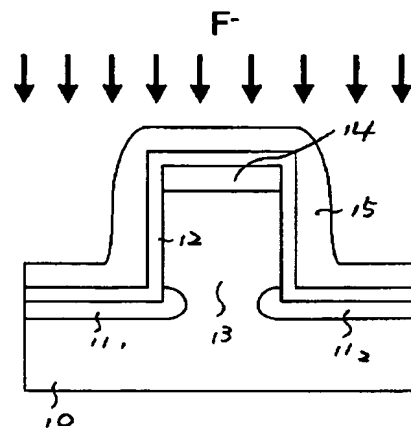
【図2】



【図3】

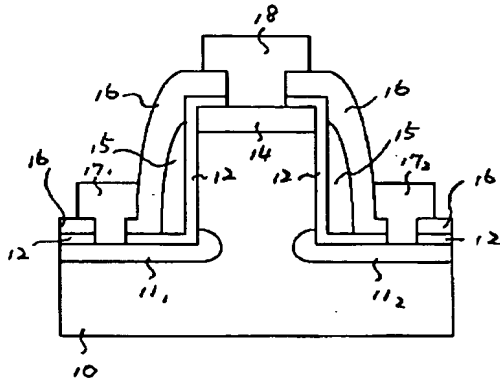


【図4】

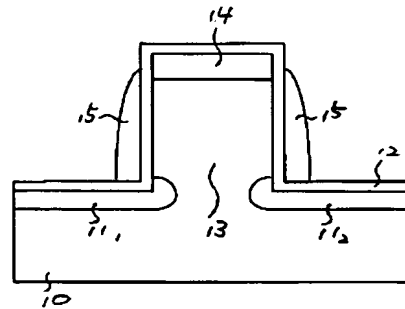




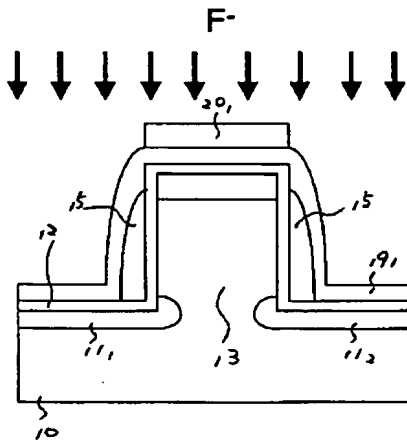
【図5】



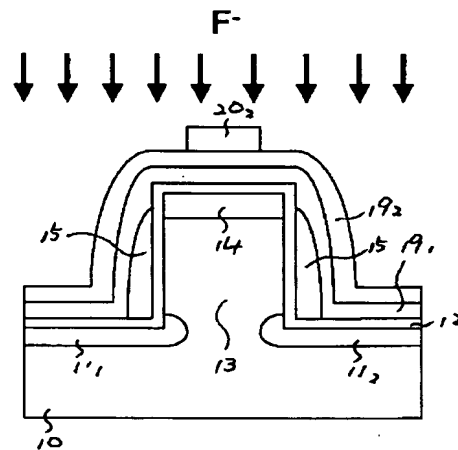
【図6】



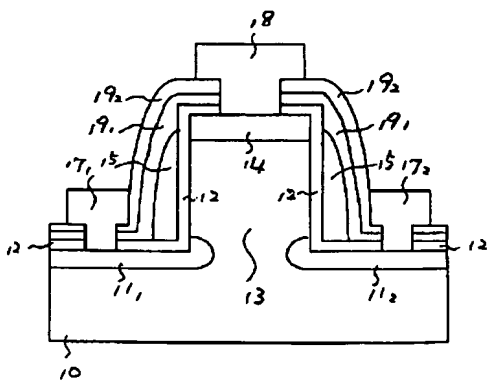
【図7】



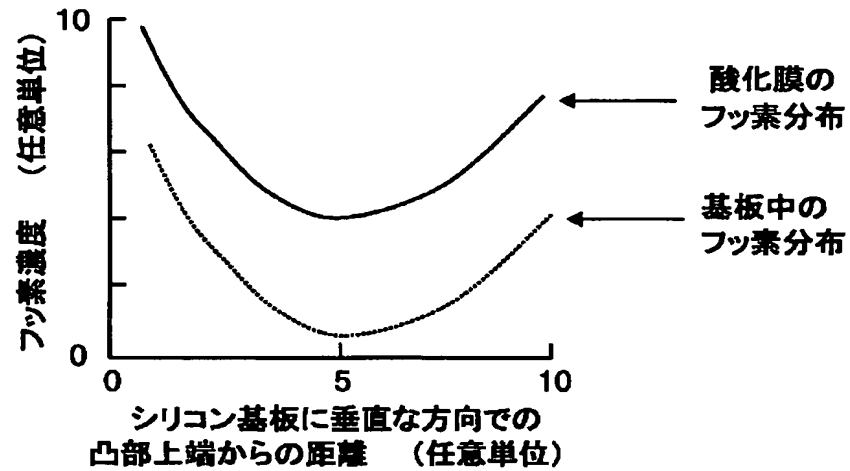
【図8】



【図9】



【図10】



フロントページの続き

Fターム(参考) 5F058 BA01 BA04 BC02 BC04 BE04  
BF55 BF56 BF62 BH15 BJ01  
5F140 AC23 BB04 BC15 BD09 BD17  
BE06 BF01 BF04 BF33 BF38  
BF44 BG32 BG38 BG44 BH05  
BH30 BH49 BJ01 BJ05 BK13  
CC03